



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 04 AOÛT 2003

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr





26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

1er dépôt

BREVET D'INVENTION
CERTIFICAT D'UTILITÉ
Code de la propriété intellectuelle-Livre VI





REQUÊTE EN DÉLIVRANCE 1/2

Réservé à
L'INPI

Cet imprimé est à remplir lisiblement à l'encre noire

REMISE DES PIÈCES DATE 27 MARS 2003 LIEU 38 INPI GRENOBLE N° D'ENREGISTREMENT 0303811 NATIONAL ATTRIBUÉ PAR L'INPI 27 MARS 2003 DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI Vos références pour ce dossier (facultatif) B6034		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE Cabinet Michel de Beaumont 1 rue Champollion 38000 GRENOBLE	
Confirmation d'un dépôt par télécopie <input type="checkbox"/> N° attribué par l'INPI à la télécopie			
2 NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de Brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
Demande de brevet initiale N°		Date / /	
ou demande de certificat d'utilité initiale N°		Date / /	
Transformation d'une demande de brevet européen		<input type="checkbox"/>	
Demande de brevet initiale N°		Date / /	
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) EVALUATION DES CARACTÉRISTIQUES D'IMPULSIONS ÉLECTRIQUES			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation FRANCE Date 29 août 2002 N° 02/10722 Pays ou organisation Date / / N° Pays ou organisation Date / / N° <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé "Suite"	
5 DEMANDEUR		<input type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé "Suite"	
Nom ou dénomination sociale		iRoC Technologies	
Prénoms			
Forme juridique		Société anonyme	
N° SIREN			
Code APE-NAF			
ADRESSE	Rue	5, Place Robert Schuman	
	Code postal et ville	38000	GRENOBLE
Pays		FRANCE	
Nationalité		Française	
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			

Réservé à
L'INPI

REMISE DES PIÈCES 27 MARS 2003 DATE 38 INPI GRENOBLE LIEU 0303811 N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI			
Vos références pour ce dossier : (facultatif) B6034			
6 MANDATAIRE			
Nom			
Prénom			
Cabinet ou Société		Cabinet Michel de Beaumont	
N° de pouvoir permanent et/ou de lien contractuel			
ADRESSE	Rue	1 Rue Champollion	
	Code postal et ville	38000	GRENOBLE
N° de téléphone (facultatif)		04.76.51.84.51	
N° de télécopie (facultatif)		04.76.44.62.54	
Adresse électronique (facultatif)		cab.beaumont@wanadoo.fr	
7 INVENTEUR (S)			
Les inventeurs sont les demandeurs		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non Dans ce cas fournir une désignation d'inventeur (s) séparée	
8 RAPPORT DE RECHERCHE		Uniquement pour une demande de brevet (y compris division et transformation)	
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/> Établissement immédiat <input type="checkbox"/> Établissement différé	
Paiement échelonné de la redevance		Paiement en trois versements, uniquement pour les personnes physiques <input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non	
9 RÉDUCTION DU TAUX DES REDEVANCES		Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention (joindre un avis de non-imposition) <input type="checkbox"/> Requête antérieurement à ce dépôt (joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence) :	
Si vous avez utilisé l'imprimé "Suite", indiquez le nombre de pages jointes			
10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire) Laurent Thibon Mandataire n° 92-4059			VISA DE LA PREFECTURE OU DE L'INPI  

EVALUATION DES CARACTÉRISTIQUES D'IMPULSIONS ÉLECTRIQUES

La présente invention concerne l'analyse d'impulsions électriques induites dans un circuit intégré recevant des perturbations externes occasionnelles telles que des radiations naturelles.

5 Plus particulièrement, la présente invention vise à prévoir un dispositif d'évaluation précise des caractéristiques d'une impulsion électrique induite dans un élément d'un circuit intégré par une perturbation externe, afin d'évaluer plus particulièrement sa durée et/ou sa forme. Un tel élément de
10 circuit peut par exemple être un transistor, un circuit logique élémentaire tel qu'une porte OU, une porte ET, ou un inverseur, ou tout élément d'une bibliothèque de cellules.

La connaissance de la durée ou de la forme de telles impulsions électriques permet de prédire par simulation le
15 comportement des circuits intégrés affectés par de telles perturbations, de concevoir des circuits intégrés ayant un fonctionnement moins sensible aux perturbations externes, et/ou de prévoir des modes de réparation adaptés.

Ainsi, selon un premier aspect, la présente invention
20 prévoit un circuit d'évaluation de caractéristiques de durée et/ou de forme d'une impulsion électrique induite dans un élément d'un circuit intégré comprenant un ensemble d'éléments,



chaque élément étant susceptible de recevoir une perturbation externe occasionnelle produisant une impulsion électrique dans l'élément, et un circuit de mesure relié aux éléments pour déterminer lesdites caractéristiques d'une impulsion électrique
5 produite dans un des éléments.

Selon une variante de réalisation d'un tel circuit d'évaluation afin d'évaluer la durée d'une impulsion produite dans un desdits éléments, lesdits éléments forment une chaîne d'éléments en série de sorte à propager une impulsion produite
10 dans un élément à travers les éléments suivants, le circuit de mesure comprenant des moyens de mémorisation pour mémoriser à un instant donné les niveaux de sortie des éléments ; et un moyen de détermination pour déterminer, à partir des moyens de mémorisation, le nombre d'éléments indiquant des niveaux
15 distincts du niveau de repos.

Selon une variante de réalisation du circuit d'évaluation de la durée d'une impulsion, le moyen de détermination indique une durée égale au nombre d'éléments indiquant des niveaux distincts du niveau de repos multiplié par
20 le temps de propagation à travers un élément.

Selon une variante de réalisation du circuit d'évaluation de la durée d'une impulsion, les moyens de mémorisation sont constitués de bascules commandées par un même signal d'horloge, la sortie de chaque élément de circuit étant
25 reliée à l'entrée de données d'une bascule, la sortie de données de chaque bascule étant reliée au moyen de détermination.

Selon une variante de réalisation du circuit d'évaluation de la durée d'une impulsion, les moyens de mémorisation sont constitués de bascules en série commandées par
30 un même signal d'horloge et de plusieurs multiplexeurs, la sortie d'une bascule étant reliée à une première entrée d'un multiplexeur dont la sortie est reliée à l'entrée de données de la bascule suivante, les secondes entrées des multiplexeurs recevant les sorties des éléments de circuit, la sortie de

données de la dernière bascule étant reliée au moyen de détermination.

Selon une variante de réalisation du circuit d'évaluation de la durée d'une impulsion décrit ci-dessus, le
5 circuit comprend en outre un circuit détecteur indiquant si aucune, une seule, ou plusieurs bascules ont changé d'état, et la sortie de données de la dernière bascule est reliée à un compteur qui comptabilise le nombre de bascules successives dont les niveaux mémorisés sont distincts des niveaux de repos, le
10 compteur recevant les niveaux mémorisés en série quand les multiplexeurs sont positionnés de façon à faire passer les niveaux mémorisés d'une bascule à une autre au rythme du signal d'horloge.

Selon une variante de réalisation du circuit
15 d'évaluation de la durée d'une impulsion décrit ci-dessus, le circuit comprenant en outre un circuit de commande qui positionne initialement les multiplexeurs dans un mode de capture en reliant les sorties des éléments de circuit aux entrées de données des bascules ; positionne les multiplexeurs
20 dans un mode de comptage de façon à faire passer les niveaux mémorisés d'une bascule à une autre quand le circuit détecteur indique qu'au moins deux bascules ont changé d'état, et repositionne les multiplexeurs en mode de capture quand le compteur indique la fin du comptage.

25 Selon une variante de réalisation du circuit d'évaluation de la durée d'une impulsion décrit ci-dessus, les éléments de circuit sont des circuits non inverseurs et les bascules sont initialisées au niveau "0", et dans lequel le circuit détecteur comprend deux premières portes OU, chaque
30 première porte OU recevant une sortie de données de bascule sur deux, les sorties des deux premières portes OU entrant dans une seconde porte OU et dans une porte ET, le circuit de commande recevant les sorties de la seconde porte OU et de la porte ET.

Selon une variante de réalisation du circuit
35 d'évaluation de la durée d'une impulsion décrit ci-dessus, les

éléments de circuit sont des circuits inverseurs et les bascules sont initialisées pour moitié au niveau "0" et pour moitié au niveau "1", et dans lequel le circuit détecteur comprend une première porte OU recevant les sorties des bascules initialisées à "0", et une première porte ET recevant les sorties des bascules initialisées à "1", les sorties des deux premières portes entrant dans une seconde porte OU et dans une seconde porte ET, le circuit de commande recevant les sorties de la seconde porte OU et de la seconde porte ET.

10 Selon une variante de réalisation du circuit d'évaluation de la durée d'une impulsion, les moyens de mémorisation sont constitués de groupes de bascules commandées par un même signal d'horloge, chaque groupe de bascules recevant les sorties de groupes d'éléments de circuit, le nombre de
15 bascules étant inférieur au nombre d'éléments de circuits, la sortie de données de chaque bascule étant reliée au moyen de détermination.

 Selon un second aspect, la présente invention prévoit aussi un circuit d'évaluation de la forme d'une impulsion
20 produite dans un desdits éléments, dans lequel les éléments sont commandés de sorte qu'un transistor que comporte chaque élément soit non conducteur, le drain ou la source d'un transistor non conducteur de chaque élément étant relié à un noeud commun, le circuit de mesure relevant les variations du potentiel du noeud
25 commun lorsqu'une perturbation externe touche le drain ou la source d'un transistor relié au noeud commun.

 Selon une variante de réalisation du circuit d'évaluation de la forme d'une impulsion, le circuit comprend un amplificateur de la tension au noeud commun et plusieurs
30 bascules aptes à mémoriser le niveau de tension en sortie de l'amplificateur, les bascules étant commandées par un ensemble d'horloges décalées les unes par rapport aux autres.

 Selon une variante de réalisation du circuit d'évaluation de la forme d'une impulsion, le circuit comprend un
35 convertisseur analogique/numérique de la tension au noeud commun

fournissant une valeur numérique de la tension sur n bits, et plusieurs groupes de bascules binaires, chaque groupe de bascules comprenant n bascules aptes chacune à mémoriser la valeur d'un des n bits, les groupes étant commandés par un ensemble d'horloges décalées les unes par rapport aux autres.

Selon une variante de réalisation du circuit d'évaluation de la forme d'une impulsion, le circuit comprend un circuit de charge apte à positionner sur commande le noeud commun à une tension donnée.

Selon une variante de réalisation du circuit d'évaluation de la forme d'une impulsion, chaque transistor est relié au noeud commun par une connexion, les connexions étant de mêmes longueurs.

Selon un mode de réalisation des circuits d'évaluation de la forme d'une impulsion susmentionnés, les horloges décalées sont fournies par un circuit comprenant plusieurs chaînes d'éléments de retard recevant chacune un signal d'horloge, les premiers éléments de retard de chacune des chaînes introduisant des retards différents, les sorties de chacun des éléments desdites chaînes fournissant lesdites horloges.

La présente invention prévoit aussi un procédé d'évaluation de caractéristiques de durée et/ou de forme d'une impulsion électrique induite dans un élément de circuit intégré comprenant les étapes suivantes : réaliser un circuit comprenant un grand nombre d'éléments, chaque élément étant susceptible de recevoir une perturbation externe occasionnelle produisant une impulsion électrique dans l'élément ; et déterminer, au moyen d'un dispositif de mesure relié aux éléments, lesdites caractéristiques d'une impulsion électrique produite dans un des éléments.

Selon une variante du procédé de la présente invention consistant à évaluer la durée d'une impulsion produite dans un desdits éléments, l'étape de réalisation d'un circuit consiste à disposer un grand nombre d'éléments de circuit en série dans un état de repos, chaque élément de circuit étant connecté pour

propager vers l'élément de circuit suivant, une impulsion fournie par l'élément de circuit précédent, et l'étape de détermination consiste à mémoriser périodiquement dans des moyens de mémorisation le niveau en sortie de chaque élément de circuit et à déterminer le nombre de moyens de mémorisation indiquant des niveaux distincts du niveau de repos.

Selon une variante du procédé de la présente invention consistant à évaluer la forme d'une impulsion produite dans un desdits éléments, les éléments du circuit sont commandés de sorte qu'un transistor de chaque élément soit non conducteur, le drain ou la source d'un transistor non conducteur de chaque élément étant relié à un noeud commun, et l'étape de détermination consiste à mesurer les variations du potentiel du noeud commun lorsqu'une perturbation externe touche le drain ou la source d'un transistor relié au noeud commun.

Ces objets, ces caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1 est un schéma d'un circuit d'évaluation de la durée d'une impulsion selon un mode de réalisation de la présente invention ;

la figure 2 est un schéma d'un circuit d'évaluation de la durée d'une impulsion selon un autre mode de réalisation de la présente invention ;

la figure 3 est un schéma plus détaillé du circuit de la figure 2 ;

la figure 4 est un schéma d'un circuit d'évaluation de la durée d'une impulsion selon une variante de réalisation de la présente invention ;

la figure 5 est un schéma d'un circuit d'évaluation de la forme d'une impulsion selon la présente invention ;

la figure 6 est un schéma d'un circuit d'évaluation de la forme d'une impulsion selon une variante de la présente invention ;

la figure 7 est un schéma d'un exemple de circuit de mesure du circuit d'évaluation de la figure 5 ;

la figure 8 est un schéma d'un circuit de génération d'horloges utilisé dans le circuit de mesure des figures 7 et 9 ; et

la figure 9 est un schéma d'un autre exemple de circuit de mesure du circuit d'évaluation de la figure 5.

La figure 1 est un schéma d'un circuit d'évaluation de la durée d'une impulsion électrique induite dans un élément de circuit par une perturbation externe selon un premier aspect de l'invention. Le circuit d'évaluation, réalisé sous forme de circuit intégré, comprend plusieurs éléments de circuit D_1 à D_n en série entre une entrée E et une sortie S. Chaque élément de circuit D_1 à D_n est connecté de façon à pouvoir propager vers l'élément de circuit suivant, une impulsion fournie par l'élément de circuit précédent. Dans le cas par exemple où les éléments de circuit sont des portes ET à deux entrées, chaque porte ET a une entrée reliée à une tension fixe égale à "1", une entrée reliée à la sortie de la porte ET précédente et une sortie reliée à la porte ET suivante. Les éléments de circuit D_1 à D_n représentés en figure 1 sont des circuits logiques non inverseurs. On utilise dans la présente invention le fait que tout élément d'un circuit intégré transmettant un signal impose un retard à ce signal.

Pour se placer dans des conditions proches des conditions d'utilisation réelle, les éléments de circuit D_1 à D_n peuvent être reliés à des charges représentées ici sous forme de condensateurs C_1 à C_n connectés entre la sortie de chaque élément de circuit et la masse.

La sortie de chaque élément de circuit D_i , i étant compris entre 1 et n , est reliée à l'entrée de données d'une bascule B_i . Les bascules B_1 à B_n sont commandées par un même

signal d'horloge CLK. Un circuit de calcul 1 reçoit les niveaux mémorisés dans les bascules B_1 à B_n et fournit sur une sortie 2, la durée de l'impulsion électrique.

5 L'entrée E est positionnée en permanence à un niveau déterminé, par exemple au niveau "0". En l'absence de perturbation externe, la sortie de chaque élément de circuit est égale à "0".

10 Quand un élément de circuit reçoit une perturbation externe, son état interne est susceptible d'être modifié. La sortie de l'élément de circuit "touché" change d'état et passe, dans cet exemple, du niveau "0" au niveau "1". Quand l'état de l'élément de circuit touché redevient normal, sa sortie repasse au niveau "0". L'élément de circuit touché produit ainsi une impulsion électrique dont on souhaite connaître la durée.

15 L'impulsion électrique se propage dans les éléments de circuit positionnés à la suite de l'élément de circuit touché jusqu'au dernier élément de circuit D_n . Pendant la propagation de l'impulsion électrique, le nombre d'éléments de circuit ayant une sortie à "1" à un instant donné dépend du retard imposé par
20 chaque élément de circuit et de la durée de l'impulsion.

A chaque front montant du signal d'horloge CLK, les bascules B_1 à B_n mémorisent le niveau en sortie de chaque élément de circuit. La durée de l'impulsion électrique est proportionnelle au nombre de niveaux "1" mémorisés dans les
25 bascules B_1 à B_n . Le circuit de calcul 1, comptabilise le nombre k de bascules ayant un niveau "1" et fournit sur la sortie 2 ce nombre k sous forme binaire. Le temps de propagation d'un élément de circuit est en général court et bien inférieur à la durée d'une impulsion électrique induite par une perturbation.
30 Le nombre k est donc au moins égal à deux.

La durée de l'impulsion électrique mesurée est alors égale au nombre k relevé multiplié par le temps de propagation T_p d'un élément de circuit D_i . La durée de l'impulsion est plus précisément comprise entre $(k-1)T_p$ et $(k+1)T_p$.

Pour qu'une mesure de durée d'impulsion puisse être effectuée, il faut connaître le temps de propagation d'un élément de circuit. Ce temps de propagation pourra être fourni par le fabricant de circuits intégrés, être obtenu par simulation électrique (par exemple avec un simulateur SPICE), ou être mesuré à l'aide du circuit de la présente invention. On pourra par exemple créer une impulsion sur l'entrée E et relever le niveau en sortie de chacun des éléments de circuit au rythme du signal d'horloge CLK dont la période varie. Quand les niveaux "1" mémorisés sur deux fronts consécutifs du signal d'horloge sont décalés en moyenne de plus d'une bascule, la période du signal d'horloge CLK est plus grande que le temps de propagation d'un élément de circuit. Quand les niveaux "1" mémorisés sur deux fronts consécutifs du signal d'horloge sont décalés en moyenne de moins d'une bascule, la période du signal d'horloge CLK est plus petite que le temps de propagation d'un élément de circuit. Par essais successifs, on peut déterminer le temps de propagation d'un élément de circuit. Bien entendu, d'autres moyens pourront être mis en oeuvre pour mesurer ce temps de propagation.

La figure 2 représente un circuit d'évaluation selon un autre mode de réalisation de la présente invention. Le circuit d'évaluation comprend comme précédemment plusieurs éléments de circuit D_1 à D_n (éventuellement associés à des charges non représentées) en série entre une entrée E et une sortie S. La sortie de chaque élément de circuit D_i est reliée à une première entrée d'un multiplexeur M_i . La sortie de chaque multiplexeur M_i est reliée à l'entrée de données d'une bascule B_i . La sortie de données de chaque bascule B_i est reliée à la seconde entrée du multiplexeur M_{i+1} . La seconde entrée du premier multiplexeur M_1 est reliée à sa première entrée ou à une borne SC pilotable ou positionnée au niveau "0". La sortie de données de la dernière bascule B_n est reliée à un compteur 4 (CNT). Les bascules B_1 à B_n sont commandées par un signal d'horloge CLK. Les multiplexeurs M_1 à M_n sont commandés par un



même signal de sélection Φ . Les sorties des bascules B_1 à B_n sont reliées à un circuit détecteur 5 qui indique à un circuit de commande CTR 6, à chaque front montant du signal d'horloge CLK, si aucune, une seule ou plusieurs bascules ont changé d'état.

Comme pour le circuit d'évaluation de la figure 1, l'entrée E est positionnée en permanence au niveau "0". Les sorties des éléments de circuit D_1 à D_n , non inverseurs dans cet exemple, sont à "0" en l'absence de perturbation externe.

Tant que le circuit détecteur 5 indique qu'aucune bascule n'a changé d'état, le circuit de commande fournit aux multiplexeurs un signal de sélection Φ tel que chaque multiplexeur relie la sortie d'un élément de circuit à l'entrée d'une bascule. On est alors dans un mode "de capture". Les bascules B_1 à B_n mémorisent au rythme du signal d'horloge CLK, le niveau en sortie de chacun des éléments de circuit.

Quand le détecteur 5 indique qu'une seule bascule a changé d'état, on est dans le cas où un multiplexeur M_i ou une bascule B_i a été touché par une perturbation. Le circuit de commande 6 ne change pas l'état du signal de sélection Φ et active éventuellement un signal de réinitialisation r qui réinitialise les bascules B_1 à B_n au niveau "0".

Quand le circuit détecteur 5 indique que plusieurs bascules ont changé d'état, on est dans le cas où un élément de circuit a été touché. Le circuit de commande 6 change l'état du signal de sélection Φ et l'on passe en mode "de comptage". La sortie de chaque bascule B_1 à B_n est reliée à l'entrée de la bascule suivante. Au rythme du signal d'horloge CLK, les niveaux mémorisés dans les bascules B_1 à B_n (une suite de "0", une suite de "1" et une suite de "0") passent d'une bascule à une autre et arrivent en série dans le compteur 4. Le compteur 4 est incrémenté pour chaque niveau "1" reçu. De préférence, le compteur 4 est arrêté quand les niveaux reçus deviennent égaux à "0". Le compteur 4 fournit alors sur une sortie 7, le nombre de niveaux "1" mémorisés. Le compteur 4 active un signal de fin de

comptage S_F qui indique au circuit de commande 6 que le circuit peut repasser en mode de capture. Le circuit de commande 6 commande un changement d'état du signal de sélection Φ afin que les sorties des éléments de circuit D_1 à D_n soient à nouveau
 5 reliées aux bascules B_1 à B_n et active le signal de réinitialisation r des bascules B_1 à B_n .

La figure 3 reprend le schéma du circuit d'évaluation de la figure 2 en détaillant le circuit détecteur 5 et les éléments de circuit D_1 à D_n .

10 Chaque élément de circuit D_i est composé de deux inverseurs en série D_{ia} et D_{ib} . Le circuit détecteur 5 comprend trois portes OU 10, 11, 12 et une porte ET 13. La porte OU 10 reçoit la sortie des bascules impaires, B_1 , B_3 , B_5 , etc. La porte OU 11 reçoit la sortie des bascules paires, B_2 , B_4 , B_6
 15 etc. Les portes OU 12 et ET 13 reçoivent les sorties des portes OU 10 et 11. La porte OU 12 fournit au circuit de commande 6 un signal de détection S_D . La porte ET 13 fournit au circuit de commande 6 un signal de validation S_V .

Initialement, les bascules B_1 à B_n sont au niveau "0".
 20 Les sorties des portes OU 10 et 11 sont à "0", et les signaux S_D et S_V sont nuls.

Quand une perturbation externe arrive sur un multiplexeur M_i ou une bascule B_i , seul le niveau mémorisé dans cette bascule B_i est modifié. Dans ce cas, seule une des deux
 25 portes OU 10 et 11 passe à "1". Le signal S_D passe alors à "1" et le signal S_V reste à "0". Le circuit de commande 6 active le signal de réinitialisation r des bascules B_1 à B_n .

Quand une perturbation externe arrive sur un élément de circuit, plusieurs bascules B_1 à B_n consécutives, au moins
 30 deux, mémorisent un "1" sur le front suivant du signal d'horloge CLK. Les deux signaux S_D et S_V passent à "1", et le circuit de commande 6 change l'état du signal de sélection Φ afin de passer en mode de comptage. Une fois le comptage terminé, le circuit de commande 6 réinitialise les bascules B_1 à B_n et le circuit
 35 d'évaluation repasse en mode de capture.

Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme de l'art. En particulier, les bascules B_1 à B_n peuvent être des bascules activables sur un front montant ou descendant ou un
5 niveau "1" ou "0" du signal d'horloge CLK. De plus, l'homme de l'art pourra prévoir d'autres moyens de mémorisation. On pourra par exemple utiliser des mémoires RAM ou SRAM.

Dans le cas où le système de détection est lent, il est possible que l'impulsion soit sortie de la chaîne d'éléments
10 D_1 à D_n en série. Pour éviter de perdre l'information mémorisée dans les bascules, selon une variante de l'invention, on prévoit un système de conservation de leur état. Dans le cas où les éléments de circuit sont non inverseurs, on pourra ajouter n portes OU à deux entrées (non représentées) entre les éléments
15 de circuit D_1 à D_n et les multiplexeurs M_1 à M_n , la sortie de chaque porte OU étant reliée à une entrée d'un multiplexeur et recevant la sortie de l'élément de circuit initialement connecté à ce multiplexeur et la sortie de données de la bascule à laquelle est reliée ce multiplexeur. En conséquence, une fois
20 que les bascules sont passées à "1", elles restent dans cet état à chaque coup d'horloge tant que le signal Φ ne les aura pas amenées à être connectées en série. Il faut dans ce cas que l'impulsion à détecter se retrouve dans les éléments de circuit à une position disjointe de sa position précédente lors du coup
25 d'horloge suivant. Pour ce faire, il faut que la période d'horloge soit supérieure à la somme de la durée de l'impulsion électrique et du temps de propagation d'un élément de circuit.

En outre, on pourra prévoir que les éléments de circuit soient inverseurs, par exemple des portes NON-ET, des
30 portes NON-OU ou encore de simples inverseurs. Les bascules paires sont initialisées à un niveau fixe, par exemple "0", et les bascules impaires sont initialisées à un niveau fixe différent, par exemple "1". Dans ce cas, le circuit détecteur comportera non pas deux portes OU 10 et 11 mais une porte NON-ET

reliée aux sorties de données des bascules paires et une porte OU reliée aux sorties de données des bascules impaires.

Bien entendu, l'homme de l'art choisira le nombre d'éléments de circuit et la période du signal d'horloge en
5 tenant compte de la durée minimum possible entre deux incidences de perturbations, du temps de propagation des éléments de circuit utilisés et de la durée estimée d'une impulsion. Il faut que le nombre d'éléments de circuit soit suffisamment élevé pour que la probabilité de recevoir une perturbation soit
10 suffisamment élevée. De plus, la période du signal d'horloge doit être suffisamment courte pour que la probabilité de rater une perturbation soit relativement faible. Il faut également que pendant la durée minimale entre deux perturbations on ait le temps de réaliser les opérations de détection et de comptage
15 décrites ci-dessus.

On pourra placer sur une même puce plusieurs chaînes d'éléments de circuits distincts dont on veut analyser la réaction à une perturbation. On pourra éventuellement réaliser une chaîne composée de divers éléments de circuit en série pour
20 utiliser un circuit de détection et de mesure commun.

La figure 4 représente un circuit d'évaluation selon une variante de réalisation de la présente invention. Le circuit d'évaluation comprend comme précédemment plusieurs éléments de circuit D_1 à D_n en série entre une entrée E et une sortie S.
25 Seuls les éléments de circuit D_{30} à D_{44} sont représentés en figure 4. Contrairement au circuit d'évaluation de la figure 1, seuls certains groupes d'éléments de circuit en série sont reliés à des bascules. Dans l'exemple de la figure 4, les sorties des éléments de circuit D_{31} à D_{35} sont respectivement
30 reliées à des bascules B_{31} à B_{35} . De même, les sorties des éléments de circuit D_{39} à D_{43} sont reliées à des bascules B_{39} à B_{43} . Les sorties des éléments de circuit D_{30} , D_{36} à D_{38} , D_{44} ne sont pas reliées à une bascule.

Comme pour les autres circuits d'évaluation décrits
35 précédemment, l'entrée E est positionnée en permanence à un

niveau donné, par exemple "0". En l'absence de perturbations externes, les sorties des éléments de circuit D_1 à D_n sont positionnées à un niveau donné "0" ou "1" selon que les éléments de circuit sont ou non inverseurs. Les bascules mémorisent le
5 niveau de sortie des éléments de circuit auxquels elles sont reliées sur un front montant ou descendant d'une horloge non représentée.

Quand un élément de circuit reçoit une perturbation externe, une impulsion électrique se propage à partir de cet
10 élément de circuit jusqu'à la sortie S. Quand l'impulsion électrique arrive sur un groupe d'éléments de circuit relié à un groupe de bascules sur le front actif de l'horloge, les bascules changent d'état. De plus, comme précédemment le circuit d'évaluation est de préférence conçu de sorte que la durée
15 minimale d'une impulsion corresponde au moins à deux fois le temps de propagation d'un élément de circuit. En d'autres termes, lorsqu'une impulsion électrique se propage, au moins deux éléments de circuit consécutifs changent d'état. Ainsi, quand le circuit de détection/calcul 20 détecte qu'au moins deux
20 bascules d'un groupe de bascules ont changé d'état, le circuit effectue un calcul du nombre de bascules ayant changé d'état afin de déterminer la durée de l'impulsion. La durée de l'impulsion est alors égale comme précédemment au nombre de bascules ayant changé d'état multiplié par le temps de
25 propagation d'un élément de circuit. Quand le circuit de détection/calcul 20 détecte qu'une seule bascule a changé d'état, aucun calcul de la durée de l'impulsion électrique n'est effectué. Il est en effet possible comme précédemment qu'une des bascules ait été touchée par la perturbation. De plus, il est
30 possible que lors du front actif du signal d'horloge, l'impulsion électrique vienne juste d'atteindre le premier élément d'un groupe d'élément de circuit relié à un groupe de bascules ou encore que l'impulsion électrique soit en train de quitter le dernier élément d'un groupe d'éléments de circuit
35 relié à un groupe de bascules.

De plus, quand plusieurs bascules d'un même groupe ont changé d'état y compris la première ou la dernière bascule du groupe, il est possible qu'au moment de la "capture" des niveaux en sortie des éléments de circuit sur un front actif de l'horloge l'ensemble des éléments ayant changé d'état ne soit pas tous reliés au groupe de bascules analysé. Dans ce cas, la durée mesurée est vraisemblablement inférieure à la véritable durée de l'impulsion électrique. Afin de pallier ce problème, on pourra prévoir que le circuit de détection/calcul 20 détermine au moment de la détection d'un changement d'état des bascules si la première ou la dernière bascule du groupe de bascules concerné a changé d'état. Si tel est le cas, le circuit de détection/calcul 20 n'effectue pas de calcul de la durée de l'impulsion électrique. Afin toutefois d'éviter de se trouver dans ce cas de figure sur chaque front d'horloge, le nombre k de bascules d'un groupe de bascules est de préférence suffisamment grand de sorte que la durée maximale de l'impulsion électrique ne soit pas supérieure à k fois le temps de propagation D_C d'un élément de circuit. De plus, le signal d'horloge a une fréquence élevée de sorte qu'il y ait une probabilité non nulle pour que l'impulsion électrique soit "située" entre la deuxième et la k-ième bascules d'un groupe de bascules sur un front d'horloge. Un moyen de s'assurer que la durée d'une impulsion électrique soit toujours mesurée est de prévoir un circuit d'évaluation tel que :

$$k \cdot D_C > T + 2 \cdot P_w$$

où k est le nombre de bascules pour chaque groupe, D_C le temps de propagation d'un élément de circuit, T la période du signal d'horloge, et P_w la durée maximale d'une impulsion électrique.

Un avantage du circuit d'évaluation selon la variante décrite ci-dessus est qu'il permet de réduire la surface occupée par les bascules et le circuit de mesure/détection.

Afin de réduire au maximum la surface, on pourra éventuellement prévoir de placer un unique groupe de bascules à la fin de la chaîne d'éléments de circuit.

La figure 5 est un schéma d'un circuit d'évaluation de la forme d'une impulsion électrique induite dans un élément de circuit par une perturbation externe selon le second aspect de l'invention. Le circuit d'évaluation comprend plusieurs transistors T_1 à T_n non conducteurs dont on souhaite étudier le comportement quand une perturbation "touche" leur drain. Les transistors T_1 à T_n sont dans cet exemple des transistors NMOS dont la source est reliée à la masse. Les grilles des transistors T_1 à T_n sont reliées à la masse de sorte que les transistors soient non conducteurs. Les drains des transistors T_1 à T_n sont reliés à un noeud commun N. Un circuit de décharge (LOAD) 30 et un circuit de mesure (MEASURE) 31 sont connectés au noeud N. Les transistors T_1 à T_n peuvent par exemple appartenir à n circuits logiques composés chacun de plusieurs transistors. Dans chaque circuit logique, le transistor qui est relié au circuit d'évaluation doit être non conducteur. Ainsi, chaque circuit logique doit être commandé de sorte que les transistors étudiés T_1 à T_n soient non conducteurs quand ils ne sont pas soumis à une perturbation. Le transistor non conducteur que l'on souhaite étudier peut être relié au noeud N par l'intermédiaire d'un autre transistor conducteur ou éventuellement d'un autre composant tel qu'une résistance.

Quand il est activé, le circuit de décharge 30 polarise le noeud N au potentiel de la masse. Quand il n'est pas activé, le circuit de décharge 30 est comme déconnecté du noeud N (sa sortie est par exemple en haute impédance). A l'état de repos, en attente d'une perturbation, les deux circuits sont inactifs. Lorsqu'une perturbation externe "touche" le circuit d'évaluation au niveau d'un des drains des transistors T_1 à T_n , il se crée un courant dans le transistor. Comme cela est représenté en figure 5, de façon générale, le courant augmente relativement rapidement puis décroît plus doucement jusqu'à s'annuler de nouveau. La connexion entre le drain du transistor "touché" et le circuit de mesure 31 présente une certaine résistance R et une capacité C dont les valeurs peuvent être

déterminées en fonction de la forme et des dimensions de la connexion. La création d'un courant dans le transistor touché a pour effet de faire varier le potentiel du noeud commun N en fonction de la constante de temps RC de la connexion entre le transistor touché et le noeud N. Connaissant la constante de temps RC, le circuit de mesure 31 détermine la forme du courant dans le transistor touché à partir de la forme de la tension relevée au noeud N. Une fois la mesure terminée, le circuit de décharge 30 peut être activé afin de s'assurer que la tension au noeud N soit égale à la tension de repos souhaitée, celle de la masse dans cet exemple. De même, on pourra activer le circuit de décharge 30 à intervalles réguliers.

La figure 6 est un exemple de réalisation du circuit d'évaluation de la figure 5 dans lequel la longueur de la connexion entre le drain de chacun des transistors T_1 à T_n et le noeud N commun est égale. Les connexions entre le noeud N et les drains des transistors T_1 à T_n sont réalisées à la forme d'un arbre dont chaque branche se ramifie en deux branches. Dans l'exemple de la figure 6, seize transistors T_1 à T_{16} sont reliés au noeud commun N. Les transistors T_1 et T_2 sont placés l'un à côté de l'autre et leurs drains sont reliés par une connexion L_{1-2} . De même, les paires de transistors T_3/T_4 , T_5/T_6 , T_7/T_8 , T_9/T_{10} , T_{11}/T_{12} , T_{13}/T_{14} et T_{15}/T_{16} sont reliées respectivement par une connexion L_{3-4} , L_{5-6} , L_{7-8} , L_{9-10} , L_{11-12} , L_{13-14} et L_{15-16} . Les connexions L_{1-2} à L_{15-16} sont toutes de mêmes longueurs. Le milieu de la connexion L_{1-2} est relié au milieu de la connexion L_{3-4} par une connexion L_{1-4} . De même, les connexions L_{5-6}/L_{7-8} , L_{9-10}/L_{11-12} , L_{13-14}/L_{15-16} sont reliées deux à deux par des connexions respectivement L_{5-8} , L_{9-12} et L_{13-16} . Les connexions L_{1-4} , L_{5-8} , L_{9-12} et L_{13-16} sont de mêmes longueurs. Le milieu de la connexion L_{1-4} est relié au milieu de la connexion L_{5-8} par une connexion L_{1-8} . De même, le milieu de la connexion L_{9-12} est relié au milieu de la connexion L_{13-16} par une connexion L_{9-16} . Les connexions L_{1-8} et L_{9-16} sont de

mêmes longueurs. Les milieux des connexions L_{1-8} et L_{9-16} sont reliés au noeud commun par des connexions de mêmes longueurs.

L'homme de l'art pourra imaginer d'autres réseaux de connexion permettant d'obtenir des connexions de longueurs
5 identiques.

La figure 7 est un schéma d'un mode de réalisation du circuit de mesure 31 du circuit d'évaluation de la figure 5. Le circuit de mesure comprend un amplificateur de tension 40 dont l'entrée est reliée au noeud commun N. La sortie de
10 l'amplificateur 40 est reliée à j bascules b_1 à b_j , où j est un entier. Les bascules b_1 à b_j sont dites "analogiques" dans le sens où les niveaux de tension mémorisés par les bascules b_1 à b_j sont des niveaux "analogiques" compris classiquement entre les tensions d'alimentation basse et haute des bascules. Dans le
15 cas par exemple où les bascules sont alimentées entre 0 V et 3 V, un niveau de tension mesuré peut être égal à 1 V. Chacune des bascules b_1 à b_j est commandée par un signal d'horloge Ck_1 à Ck_j . Les horloges Ck_1 à Ck_j sont décalées les unes par rapport aux autres. Sur un front de l'horloge Ck_1 , la bascule b_1
20 mémorise le niveau de tension en sortie de l'amplificateur 40. A un instant suivant, sur le front montant de l'horloge Ck_2 , la bascule b_2 mémorise le niveau de la sortie de l'amplificateur 40. Aux instants suivants, sur les fronts respectivement des horloges Ck_3 à Ck_j , les bascules b_3 à b_j mémorisent le niveau de
25 la sortie de l'amplificateur 40.

Les niveaux de tension mémorisés dans les bascules b_1 à b_j sont lus périodiquement par un dispositif de traitement non représenté. Le dispositif de traitement reconstruit la forme de la tension en sortie de l'amplificateur, et donc du noeud N, à
30 partir des niveaux lus et du décalage temporel entre chacune des horloges Ck_1 à Ck_j . De plus, la lecture des bascules b_1 à b_j pourra être déclenchée sur commande d'un circuit de détection d'impulsion. En outre, les niveaux lus peuvent être mémorisés dans une mémoire de type RAM et récupérés ultérieurement par le
35 dispositif de traitement.

La figure 8 est un exemple de circuit permettant de réaliser les horloges $Ck1$ à Ckj du circuit de mesure de la figure 7. Le circuit comprend deux chaînes d'éléments de retard en série $s1$ et $s2$. Les éléments de retard sont par exemple des circuits logiques non inverseurs tels que le signal de sortie soit une copie du signal d'entrée avec un retard donné. La première chaîne $s1$ comprend des éléments de retard $s1-1$ à $s1-n$, où n est un entier. Chaque élément de retard $s1-1$ à $s1-n$ est identique et introduit un retard $DEL1$ valant par exemple 20 nanosecondes. La chaîne $s2$ comprend des éléments de retard $s2-1$ à $s2-m$, où m est un entier. Le premier élément de retard $s2-1$ de la chaîne $s2$ introduit un retard $DEL2$ valant par exemple 30 nanosecondes. L'ensemble des autres éléments de retard $s2-2$ à $s2-m$ de la chaîne $s2$ sont des éléments de retard identiques à ceux de la chaîne $s1$ et ils introduisent un retard $DEL1$. Les entrées des deux chaînes $s1$ et $s2$ sont reliées à un même signal d'horloge CLK . Les sorties des éléments de retard $s1-1$ à $s1-n$ de la chaîne $s1$ fournissent les signaux d'horloge "impairs", $Ck1$, $Ck3$, $Ck5$... $Ck(2n-1)$. Les sorties des éléments de retard $s2-1$ à $s2-m$ de la chaîne $s2$ fournissent les signaux d'horloge "pairs" $Ck2$, $Ck4$, $Ck6$... $Ck(2m)$. Le retard entre deux horloges successives est dans cet exemple égal à 10 nanosecondes. De façon générale, un circuit de génération d'horloges comprend plusieurs chaînes dont les premiers éléments de retard introduisent des retards différents dans chacune des chaînes. Dans le cas où il existe un circuit logique présentant un retard inférieur ou égal au décalage souhaité entre deux horloges, on pourra utiliser une seule chaîne d'éléments de retard.

La figure 9 est un circuit d'un autre exemple du circuit de mesure 31 du circuit d'évaluation de la figure 5. Le circuit de mesure comprend un convertisseur analogique/numérique (CAN) 60 qui "numérise" la tension du noeud N . Dans l'exemple de la figure 9, le niveau de tension au noeud N est codé sur trois bits. La tension au noeud N est alors représentée avec huit niveaux de tension différents. La valeur numérique calculée par

le convertisseur 60 est fournie sur trois sorties parallèles Bit0, Bit1 et Bit2. Le circuit comprend j groupes de bascules (binaires) g_1 à g_j , j étant un entier. Chaque groupe de bascules comprend dans cet exemple trois bascules reliées au
5 convertisseur 60 de façon à mémoriser les valeurs "0" ou "1" des sorties Bit0, Bit1 et Bit2. Le i-ème groupe de bascules est commandé par une horloge Cki, i variant entre 1 et j. Les horloges Ck1 à Ckj sont décalées les unes par rapport aux autres et peuvent être fournies par un circuit tel que celui décrit en
10 relation à la figure 8.

Les valeurs mémorisées dans les bascules sont lues par un dispositif de traitement non représenté. Le dispositif de traitement reconstitue la forme de la tension au noeud N à partir des valeurs numériques lues et du décalage temporel entre
15 chacune des horloges Ck1 à Ckj. A titre de variante, le convertisseur analogique/numérique peut être remplacé par un "circuit à seuils" composés de plusieurs comparateurs dont la sortie passe de "0" à "1" quand la tension d'entrée dépasse un seuil donné et inversement, les comparateurs du circuit à seuils
20 ayant des seuils différents.

Bien entendu, le circuit d'évaluation de la forme d'une impulsion électrique selon la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme de l'art. En outre, l'homme de l'art
25 saura concevoir d'autres circuits de mesure. De plus, on pourra réaliser d'autres circuits de génération des horloges décalées. De façon générale, les éléments des circuits d'évaluation décrits peuvent être réalisés sur un même circuit intégré ou être réalisés en partie sur un circuit intégré et en partie sur
30 un dispositif externe tel qu'un ordinateur.

En outre, le procédé de la présente invention pourra être mis en oeuvre à partir d'un ensemble d'éléments de circuit regroupés sur un autre support qu'un circuit intégré, tel qu'un réseau de portes programmables (FPGA). De plus, les moyens de
35 détermination de la durée et/ou de la forme d'une impulsion

produite dans un élément du circuit peuvent être très divers. Ils peuvent faire partie du circuit ou être externes au circuit, et faire par exemple partie d'un dispositif de test informatique.

REVENDEICATIONS

1. Circuit d'évaluation de caractéristiques de durée et/ou de forme d'une impulsion électrique induite dans un élément d'un circuit intégré comprenant :

- un ensemble d'éléments (D_1 à D_n ; d_1 à d_n), chaque
5 élément étant susceptible de recevoir une perturbation externe occasionnelle produisant une impulsion électrique dans l'élément, et

- un circuit de mesure (B_1 à B_n , 1 ; b_1 à b_n , 20) relié aux éléments pour déterminer lesdites caractéristiques
10 d'une impulsion électrique produite dans un des éléments.

2. Circuit d'évaluation selon la revendication 1, pour une évaluation de la durée d'une impulsion produite dans un desdits éléments, dans lequel lesdits éléments forment une chaîne d'éléments (D_1 à D_n) en série de sorte à propager une
15 impulsion produite dans un élément à travers les éléments suivants, le circuit de mesure comprenant :

des moyens de mémorisation (B_1 à B_n) pour mémoriser à un instant donné les niveaux de sortie des éléments ; et

un moyen (1 ; 4) de détermination pour déterminer, à
20 partir des moyens de mémorisation, le nombre d'éléments indiquant des niveaux distincts du niveau de repos.

3. Circuit d'évaluation selon la revendication 2, dans lequel le moyen de détermination indique une durée égale au nombre d'éléments indiquant des niveaux distincts du niveau de
25 repos multiplié par le temps de propagation à travers un élément.

4. Circuit d'évaluation selon la revendication 2, dans lequel les moyens de mémorisation sont constitués de bascules (B_1 à B_n) commandées par un même signal d'horloge (CLK), la
30 sortie de chaque élément de circuit (D_i) étant reliée à l'entrée de données d'une bascule (B_i), la sortie de données de chaque bascule étant reliée au moyen de détermination.

5. Circuit d'évaluation selon la revendication 2, dans lequel les moyens de mémorisation sont constitués de bascules

(B_1 à B_n) en série commandées par un même signal d'horloge (CLK) et de plusieurs multiplexeurs (M_1 à M_n), la sortie d'une bascule (B_i) étant reliée à une première entrée d'un multiplexeur (M_i) dont la sortie est reliée à l'entrée de données de la bascule
5 suivante (B_{i+1}), les secondes entrées des multiplexeurs recevant les sorties des éléments de circuit (D_1 à D_n), la sortie de données de la dernière bascule (B_n) étant reliée au moyen de détermination.

6. Circuit d'évaluation selon la revendication 5,
10 comprenant en outre un circuit détecteur (5) indiquant si aucune, une seule, ou plusieurs bascules ont changé d'état, et dans lequel la sortie de données de la dernière bascule (B_n) est reliée à un compteur (4) qui comptabilise le nombre de bascules successives dont les niveaux mémorisés sont distincts des
15 niveaux de repos, le compteur recevant les niveaux mémorisés en série quand les multiplexeurs (M_1 à M_n) sont positionnés de façon à faire passer les niveaux mémorisés d'une bascule à une autre au rythme du signal d'horloge (CLK).

7. Circuit d'évaluation selon la revendication 6,
20 comprenant en outre un circuit de commande (6) qui :

- positionne initialement les multiplexeurs (M_1 à M_n) dans un mode de capture en reliant les sorties des éléments de circuit (D_1 à D_n) aux entrées de données des bascules (B_1 à B_n),
- positionne les multiplexeurs dans un mode de
25 comptage de façon à faire passer les niveaux mémorisés d'une bascule à une autre quand le circuit détecteur indique qu'au moins deux bascules ont changé d'état, et
- repositionne les multiplexeurs en mode de capture quand le compteur indique la fin du comptage.

30 8. Circuit d'évaluation selon la revendication 7, dans lequel les éléments de circuit (D_1 à D_n) sont des circuits non inverseurs et les bascules (B_1 à B_n) sont initialisées au niveau "0", et dans lequel le circuit détecteur (5) comprend deux premières portes OU (10, 11), chaque première porte OU recevant
35 une sortie de données de bascule sur deux, les sorties des deux

premières portes OU entrant dans une seconde porte OU (12) et dans une porte ET (13), le circuit de commande recevant les sorties de la seconde porte OU et de la porte ET.

5 9. Circuit d'évaluation selon la revendication 7, dans lequel les éléments de circuit (D_1 à D_n) sont des circuits inverseurs et les bascules (B_1 à B_n) sont initialisées pour moitié au niveau "0" et pour moitié au niveau "1", et dans lequel le circuit détecteur (5) comprend une première porte OU recevant les sorties des bascules initialisées à "0", et une
10 première porte ET recevant les sorties des bascules initialisées à "1", les sorties des deux premières portes entrant dans une seconde porte OU (12) et dans une seconde porte ET (13), le circuit de commande recevant les sorties de la seconde porte OU et de la seconde porte ET.

15 10. Circuit selon la revendication 2, dans lequel les moyens de mémorisation sont constitués de groupes de bascules (B_1 à B_n) commandées par un même signal d'horloge, chaque groupe de bascules recevant les sorties de groupes d'éléments de circuit, le nombre de bascules étant inférieur au nombre
20 d'éléments de circuits, la sortie de données de chaque bascule étant reliée au moyen de détermination (20).

25 11. Circuit selon la revendication 1, pour une évaluation de la forme d'une impulsion produite dans un desdits éléments, dans lequel les éléments sont commandés de sorte qu'un transistor (T_1 à T_n) que comporte chaque élément soit non conducteur, le drain ou la source d'un transistor non conducteur de chaque élément étant relié à un noeud commun (N), le circuit de mesure relevant les variations du potentiel du noeud commun lorsqu'une perturbation externe touche le drain ou la source
30 d'un transistor relié au noeud commun.

12. Circuit selon la revendication 11, comprenant un amplificateur (40) de la tension au noeud commun (N) et plusieurs bascules analogiques (b_1 à b_n) aptes à mémoriser le niveau de tension en sortie de l'amplificateur, les bascules

étant commandées par un ensemble d'horloges (Ck1 à Ckj) décalées les unes par rapport aux autres.

13. Circuit selon la revendication 11, comprenant un convertisseur analogique/numérique (60) de la tension au noeud commun (N) fournissant une valeur numérique de la tension sur n bits (Bit1, Bit2, Bit3), et plusieurs groupes de bascules binaires (g_1 à g_j), chaque groupe de bascules comprenant n bascules aptes chacune à mémoriser la valeur d'un des n bits, les groupes étant commandés par un ensemble d'horloges (Ck1 à Ckj) décalées les unes par rapport aux autres.

14. Circuit selon la revendication 11, comprenant un circuit de charge (30) apte à positionner sur commande le noeud commun (N) à une tension donnée.

15. Circuit selon la revendication 11, dans lequel chaque transistor est relié au noeud commun par une connexion, les connexions étant de mêmes longueurs.

16. Circuit selon la revendication 12 ou 13, dans lequel les horloges décalées (Ck1 à Ckj) sont fournies par un circuit comprenant plusieurs chaînes d'éléments de retard (s1, s2) recevant chacune un signal d'horloge,

les premiers éléments de retard (s1-1, s2-1) de chacune des chaînes introduisant des retards (DEL1, DEL2) différents, les sorties de chacun des éléments desdites chaînes fournissant lesdites horloges.

25 17. Procédé d'évaluation de caractéristiques de durée et/ou de forme d'une impulsion électrique induite dans un élément de circuit intégré comprenant les étapes suivantes :

30 - réaliser un circuit comprenant un grand nombre d'éléments, chaque élément étant susceptible de recevoir une perturbation externe occasionnelle produisant une impulsion électrique dans l'élément ; et

- déterminer, au moyen d'un dispositif de mesure relié aux éléments, lesdites caractéristiques d'une impulsion électrique produite dans un des éléments.

18. Procédé selon la revendication 17 consistant à évaluer la durée d'une impulsion produite dans un desdits éléments, dans lequel l'étape de réalisation d'un circuit consiste à disposer un grand nombre d'éléments de circuit (D_1 à D_n) en série dans un état de repos, chaque élément de circuit étant connecté pour propager vers l'élément de circuit suivant, une impulsion fournie par l'élément de circuit précédent, et dans lequel l'étape de détermination consiste à mémoriser périodiquement dans des moyens de mémorisation le niveau en sortie de chaque élément de circuit et à déterminer le nombre de moyens de mémorisation indiquant des niveaux distincts du niveau de repos.

19. Procédé selon la revendication 17 consistant à évaluer la forme d'une impulsion produite dans un desdits éléments, dans lequel les éléments du circuit sont commandés de sorte qu'un transistor de chaque élément soit non conducteur, le drain ou la source d'un transistor non conducteur de chaque élément étant relié à un noeud commun, et dans lequel l'étape de détermination consiste à mesurer les variations du potentiel du noeud commun lorsqu'une perturbation externe touche le drain ou la source d'un transistor relié au noeud commun.

1/6

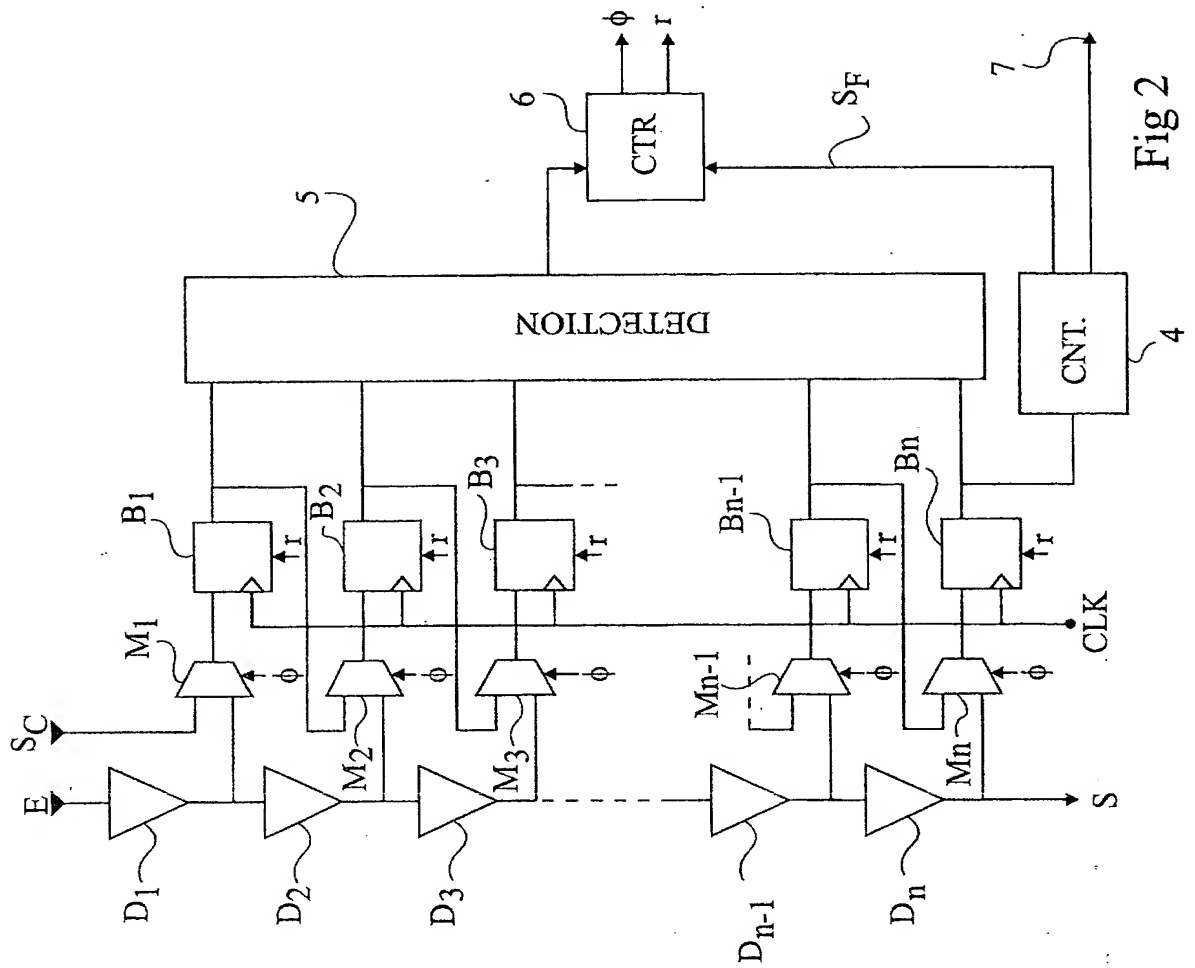


Fig 1

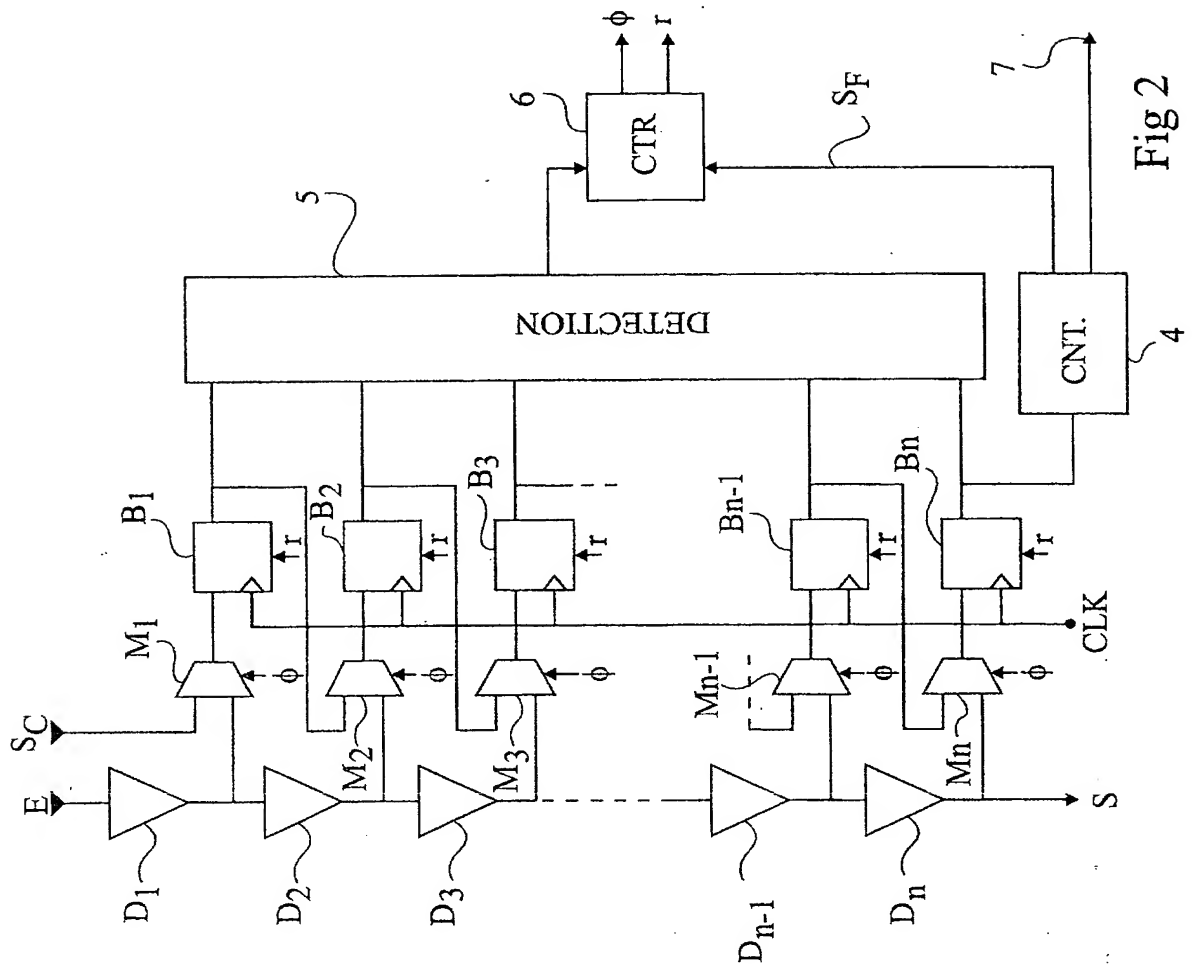


Fig 2

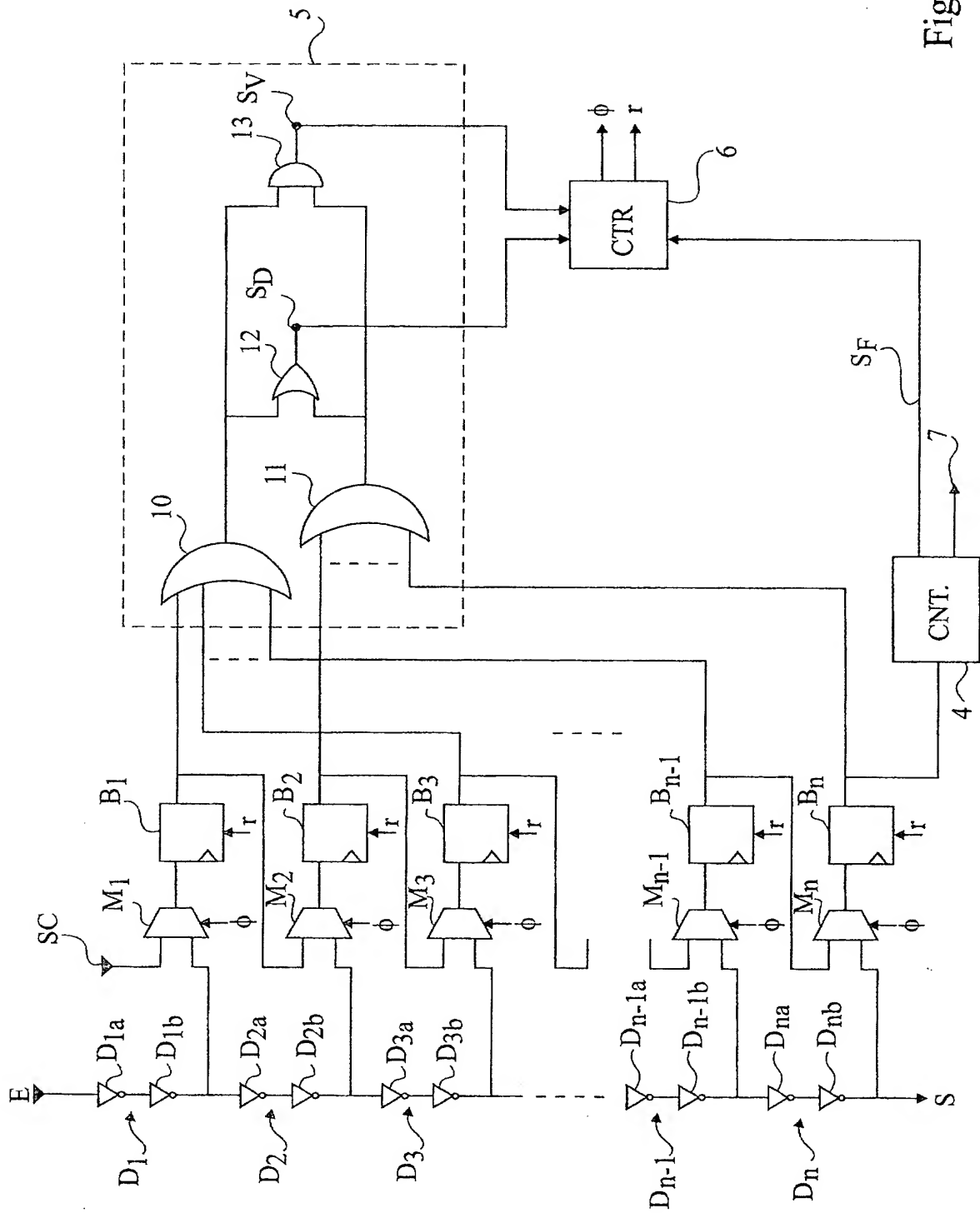


Fig 3

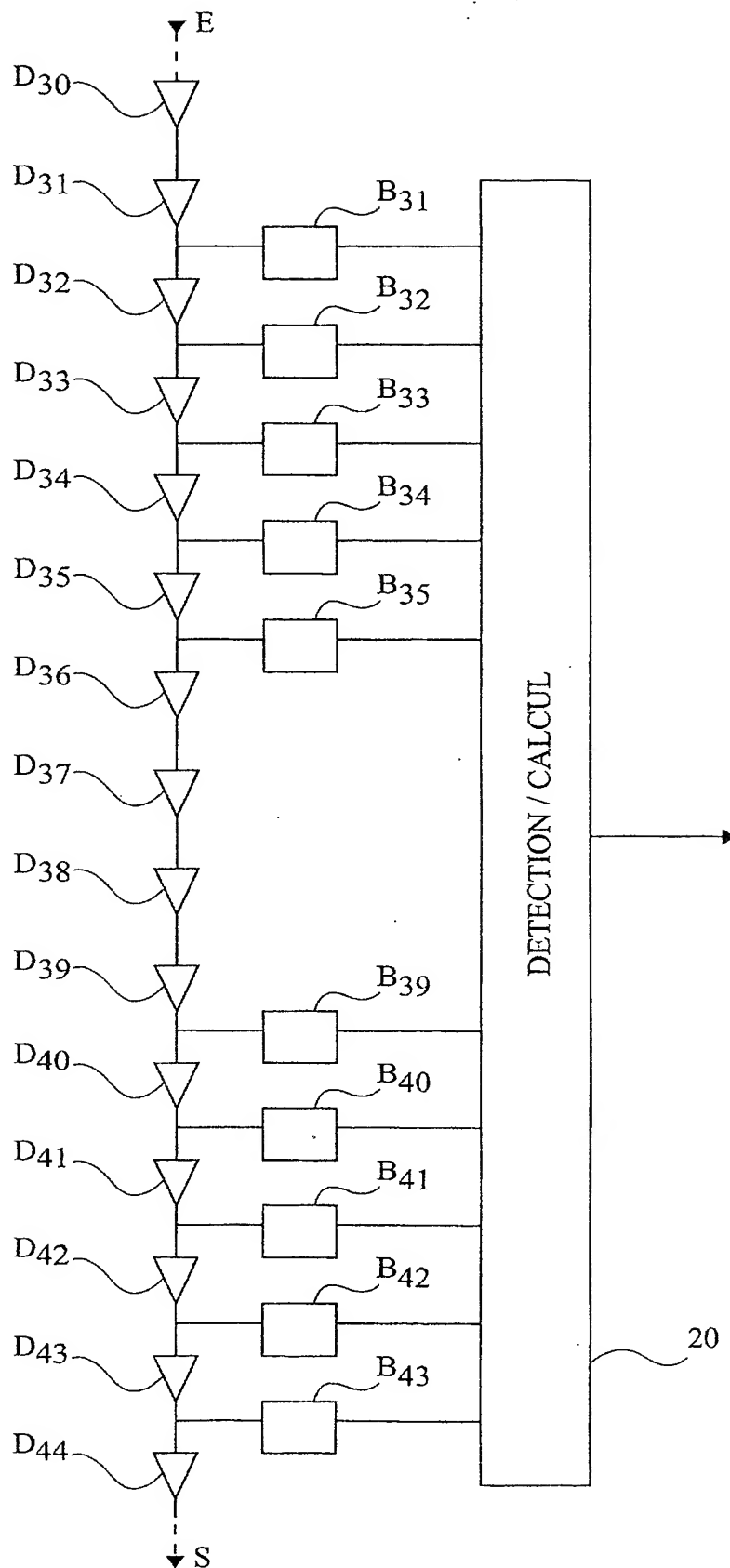


Fig 4

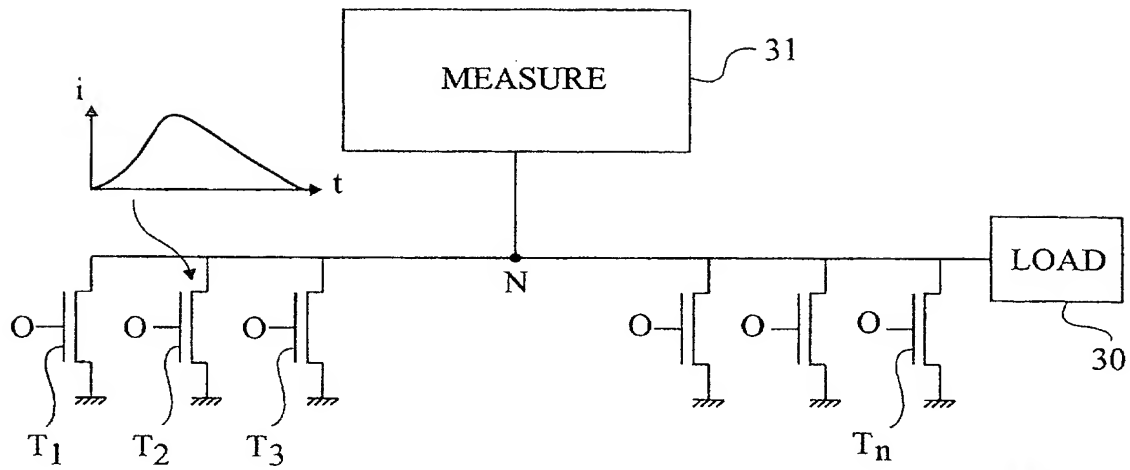


Fig 5

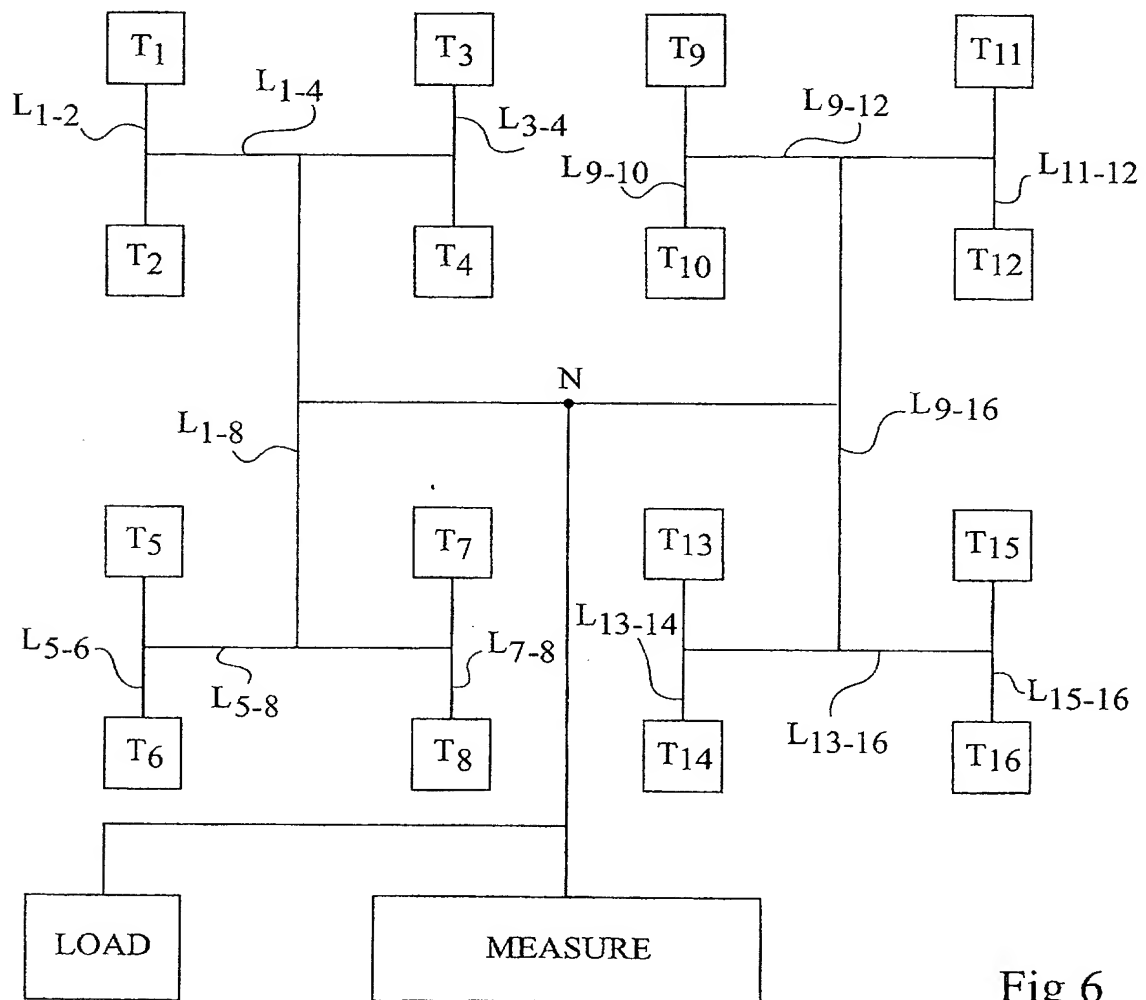


Fig 6

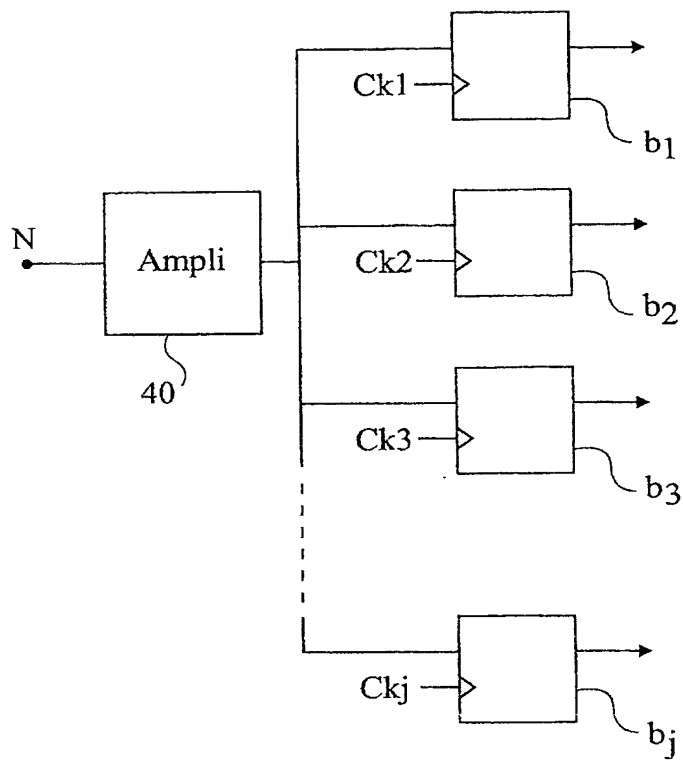


Fig 7

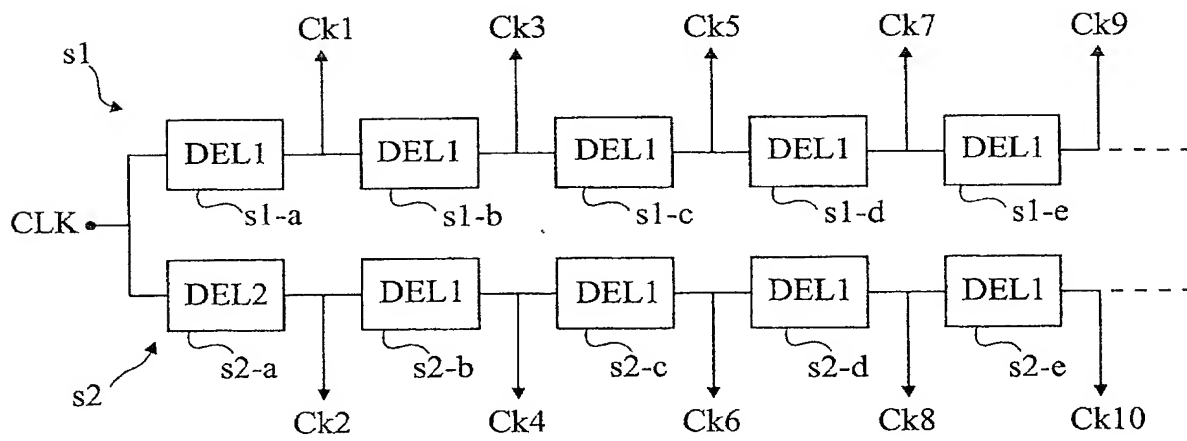


Fig 8

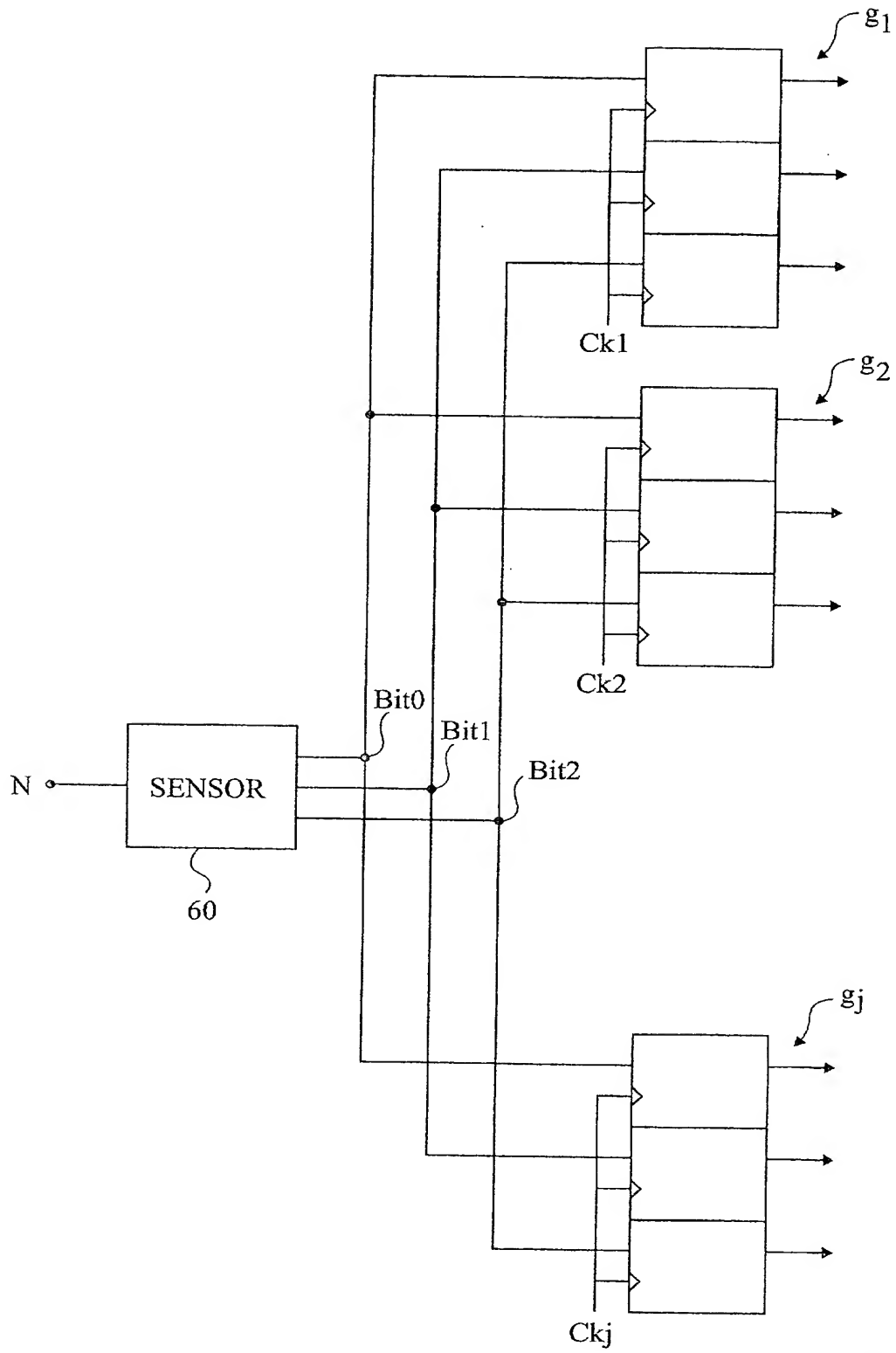


Fig 9

DÉSIGNATION D'INVENTEUR(S) PAGE N°1/ 1
(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

Vos références pour ce dossier (facultatif)		B6034	
N° D'ENREGISTREMENT NATIONAL		03038 11	
TITRE DE L'INVENTION (200 caractères ou espaces maximum)			
EVALUATION DES CARACTÉRISTIQUES D'IMPULSIONS ÉLECTRIQUES			
LE(S) DEMANDEUR(S): iRoC Technologies			
DESIGNE (NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite "Page N°1/1" S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Prénoms & Nom		Michaël Nicolaidis	
ADRESSE	Rue	15 Bis, Rue du Vercors	
	Code postal et ville	38120	SAINT EGREVE, FRANCE
Société d'appartenance (facultatif)			
Prénoms & Nom			
ADRESSE	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Prénoms & Nom			
ADRESSE	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
DATE ET SIGNATURE (S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)			
Laurent Thibon Mandataire n° 92-4059 Le 27 mars 2003 